

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-230987

(43)Date of publication of application : 16.08.2002

(51)Int.Cl.

G11C 16/04
 G06F 15/78
 G11C 16/02
 H01L 21/8247
 H01L 27/115
 H01L 27/10
 H01L 29/788
 H01L 29/792

(21)Application number : 2001-019689

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.01.2001

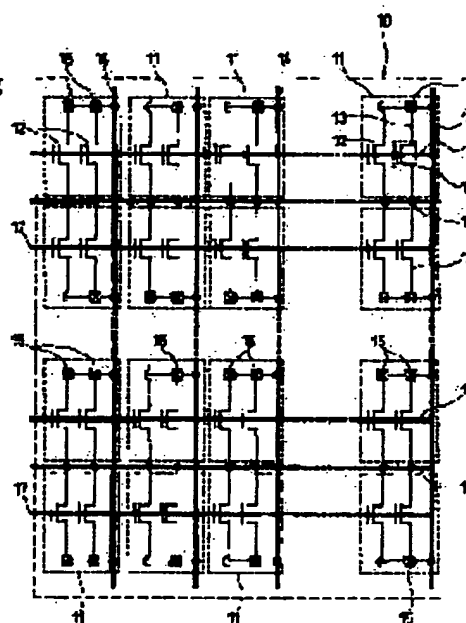
(72)Inventor : ARAKI HIROTA
 TOMITA YASUHIRO
 TACHIKAWA NAOHISA
 HARUYAMA SEISHU

(54) NON-VOLATILE MEMORY ARRAY, MICROCOMPUTER, AND REWRITING METHOD OF PROGRAM FOR MICROCOMPUTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a non-volatile memory array in which the chip area is reduced by giving a contrivance to a mask ROM in which a loader program or the like are stored in a memory array.

SOLUTION: Fixed data can be stored previously in a non-volatile region by constituting arbitrarily the number of transistors of a floating gate type for one bit by the number of contacts, the memory array can be also used for a mask ROM storing the loader program or the like, then the non-volatile memory array in which the chip area is reduced can be realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(書誌+要約+請求の範囲)

- (19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2002-230987(P2002-230987A)
 (43)【公開日】平成14年8月16日(2002. 8. 16)
 (54)【発明の名称】不揮発性メモリアレイ、マイクロコンピュータおよびマイクロコンピュータのプログラム書き換え方法
 (51)【国際特許分類第7版】

G11C 16/04
 G06F 15/78 510

G11C 16/02
 H01L 21/8247
 27/115
 27/10 461
 29/788
 29/792

【FI】

G06F 15/78 510 A
 510 C
 H01L 27/10 461
 G11C 17/00 622 Z
 601 E
 611 Z
 612 Z
 613
 H01L 27/10 434
 29/78 371

【審査請求】未請求**【請求項の数】4****【出願形態】OL****【全頁数】7****(21)【出願番号】特願2001-19689(P2001-19689)****(22)【出願日】平成13年1月29日(2001. 1. 29)****(71)【出願人】****【識別番号】000005821****【氏名又は名称】松下電器産業株式会社****【住所又は居所】大阪府門真市大字門真1006番地****(72)【発明者】****【氏名】荒木 裕太****【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内****(72)【発明者】****【氏名】富田 泰弘****【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内****(72)【発明者】****【氏名】立川 尚久****【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内****(72)【発明者】****【氏名】春山 星秀****【住所又は居所】大阪府門真市大字門真1006番地 松下電器産業株式会社内****(74)【代理人】****【識別番号】100086737**

【弁理士】
 【氏名又は名称】岡田 和秀
 【テーマコード(参考)】

5B025
 5B062
 5F001
 5F083
 5F101

【Fターム(参考)】

5B025 AA01 AB01 AC01 AD04 AD05 AD08 AE00
 5B062 AA01 CC01 JJ10
 5F001 AA01 AB08 AH10
 5F083 EP02 EP23 GA09 LA12 LA16 LA20 ZA13
 5F101 BA01 BB05 BG10

(57)【要約】

【課題】メモリアレイにおいて、ローダプログラム等を格納したマスクROMに工夫を与えることにより、チップ面積の削減を図った不揮発性メモリアレイを提供する。

【解決手段】1ビットに対するフローティングゲート型トランジスタ数をコンタクト数により任意に構成することによって、あらかじめ不揮発性領域内に固定データを格納することができ、ローダプログラム等を格納したマスクROMに兼用することができてチップ面積を削減した不揮発性メモリアレイを実現することができる。

【特許請求の範囲】

【請求項1】メモリアレイの構成単位であるメモリセルが前記メモリセル内で並列接続された複数のフローティングゲート型トランジスタで構成され、前記メモリセル内での前記フローティングゲート型トランジスタの並列接続数の設定に基づいてマスク化されたデータをプログラムしてあることを特徴とする不揮発性メモリアレイ。

【請求項2】前記メモリセル内での複数のフローティングゲート型トランジスタは、ゲートどうしおよびソースどうしがそれぞれ互いに並列接続されており、前記複数のフローティングゲート型トランジスタのドレインのそれぞれについてビット線への接続コンタクトの有無に基づいてプログラムが行われていることを特徴とする請求項1に記載の不揮発性メモリアレイ。

【請求項3】請求項1または請求項2に記載の不揮発性メモリアレイをデータメモリおよびプログラムメモリとして搭載してあることを特徴とするマイクロコンピュータ。

【請求項4】請求項3に記載のマイクロコンピュータにおいて、前記不揮発性メモリアレイの全メモリセルを低閾値電圧側に制御する初期化ステップと、前記初期化ステップの後に前記不揮発性メモリアレイのローダプログラムデータを読み出す読み出しステップと、前記ローダプログラムを命令RAM領域に転送する転送ステップと、前記マイクロコンピュータで前記命令RAM領域に格納されたローダプログラムを実行することにより前記不揮発性メモリに所望のデータをプログラムするプログラムステップとを含むことを特徴とするマイクロコンピュータのプログラム書き換え方法。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、書き換え可能なアレイ上に固定データを重畳した電氣的に書き換え可能なフラッシュメモリなどの不揮発性メモリアレイ、および、そのような不揮発性メモリアレイを搭載したマイクロコンピュータ、ならびに、そのようなマイクロコンピュータのプログラム書き換え方法に関するものである。

【0002】

【従来の技術】近年、半導体機器の開発期間の短縮やプログラムのオンサイトでの書き換えの要望により、電氣的に書き換え可能な不揮発性メモリを機器に搭載することが多くなってきた。不揮発性メモリアレイは従来のマスクROMを置き換えるメモリアレイであり、機器に組み込むことにより電源を切った状態でもデータを保持することができる。近年、フラッシュメモリなどの不揮発メモリでは、書き換え回数が百万回、データの保持寿命が10年程度のアレイが実用化されるようになってきた。

【0003】フラッシュメモリなどの不揮発性メモリアレイはメモリセルにフローティングゲート型トランジスタを用いている。これらのメモリの記憶動作は、高電界によるトンネル効果やホットエレクトロンを用いて薄いトンネル酸化膜を介して絶縁されたフローティングゲートに電子を意図的に出し入れし、トランジスタの閾値電圧を制御することで行われる。フローティングゲートに電子が蓄積されるとトランジスタの閾値電圧は上昇する。つまり、プログラムされたデータはフローティングゲート型トランジスタの閾値電圧として記憶される。そして、プログラムされたデータはメモリセルのアナログ電流として読み出され、センスアンプでリファレンス電流と比較されてデジタル化されてメモリアレイから読み出される。

【0004】フラッシュメモリはその応用として組み込み型マイコンチップなどに搭載され、機器に実装した状態でフラッシュメモリのデータを書き換える用途(オンボード書き換えと呼ぶ)が一つの主流になっている。

【0005】組み込み型マイコンのオンボード書き換えでは、機器に実装した状態でプログラムコードを書き換える必要があり、書き換え用のアルゴリズムが記述されたローダプログラムをマイコンチップ上のメモリアレイにあらかじめ書き込んでおく。ローダプログラムを起動することによりフラッシュメモリにデータを書き込む。ローダプログラムが書き込まれた領域のことをローダ領域と呼んでいる。

【0006】組み込み型マイコンチップの開発スタイルは、従来、マスクROMにプログラムを搭載した場合はプログラム修正に多額のコストと期間が必要であったが、フラッシュメモリを搭載することによりプログラムの書き換えが機器に実装したまま何度でも可能となるために、開発効率を大幅に向上することができる。

【0007】

【発明が解決しようとする課題】組み込み型マイコンチップにおいては、オンボード書き換えを行うためには、内蔵メモリ上にローダプログラムを格納する領域が必要となる。ただでさえ容量が少ない内蔵メモリにおいてローダプログラム格納のための領域を確保しなければならないことは課題である。すなわち、ローダプログラムを格納する領域は不揮発性メモリの一部の領域あるいはマスクROMに格納されるため、余分なROMや不揮発性メモリの領域が必要となる。

【0008】本発明は上記の問題点に対し、メモリアレイを、ローダプログラム等を格納したマスクROMとしても用いることができチップ面積を削減することのできる不揮発性メモリアレイを提供することを目的とする。

【0009】

【課題を解決するための手段】不揮発性メモリアレイについての本発明は、次のような手段を講じることにより、上記の課題を解決する。メモリアレイの構成単位であるメモリセルが、前記メモリセル内で並列接続された複数のフローティングゲート型トランジスタで構成されている。前記メモリセル内での前記フローティングゲート型トランジスタの並列接続数の設定に基づいて、マスク化されたデータをプログラムしてある。ここにおいて、前記メモリセル内での複数のフローティングゲート型トランジスタは、ゲートどうしおよびソースどうしがそれぞれ互いに並列接続されている。そして、前記複数のフローティングゲート型トランジスタのドレインのそれぞれについて、ビット線への接続コンタクトの有無(個数)に基づいてプログラムが行われている。

【0010】本発明の上記の構成によると、フローティングゲート型トランジスタを低閾値電圧側に設

定することにより、メモリセル読み出し時に並列接続数(接続コンタクト数)に応じた電流をビット線より読み出し、読み出し電流を閾値処理することによりデジタル値に変換することができるので、不揮発メモリにマスクROMの機能を併せ持たせることが可能となる。つまり、メモリアレイを、ローダプログラム等を格納したマスクROMとして利用することができ、チップ面積の削減を可能とする。

【0011】また、本発明のマイクロコンピュータは、上記の不揮発性メモリアレイをデータメモリおよびプログラムメモリとして搭載した構成となっている。

【0012】さらに、本発明のマイクロコンピュータのプログラム書き換え方法は、上記のマイクロコンピュータにおいて、次のようなステップを有している。すなわち、前記不揮発性メモリアレイの全メモリセルを低閾値電圧側に制御する初期化ステップと、前記初期化ステップの後に前記不揮発性メモリアレイのローダプログラムデータを読み出す読み出しステップと、前記ローダプログラムを命令RAM領域に転送する転送ステップと、前記マイクロコンピュータで前記命令RAM領域に格納されたローダプログラムを実行することにより前記不揮発性メモリに所望のデータをプログラムするプログラムステップとを含んでいる。そして、前記の初期化ステップ、読み出しステップ、転送ステップおよびプログラムステップを順に実行することにより、不揮発性メモリ領域に書き換えを行う。これにより、あらかじめ不揮発性メモリ領域にローダプログラムを格納するための不揮発性メモリ領域を設けることなく、ローダプログラムの書き換えを行うことが可能となる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0014】(実施の形態1)図1は本発明の実施の形態1における不揮発性メモリアレイの構成を示す等価回路図、図2(a)は不揮発性メモリアレイに対応するレイアウト図、図2(b)はその断面図である。

【0015】図1、図2(a)、(b)において、符号の10は不揮発性メモリアレイ、11はメモリセル、12はフローティングゲート型トランジスタ、13はドレイン、14はビット線、15はビット線コンタクト、16はソース線、17はワード線、18はフローティングゲート、19は基板である。

【0016】不揮発性メモリアレイ10はメモリセル11のアレイとして構成されている。メモリセル11は2個のフローティングゲート型トランジスタ12を備えており、この2個のフローティングゲート型トランジスタ12において、ドレイン13とビット線14とをビット線コンタクト15を介して接続するトランジスタの個数を1つとするか、2つとするかによって、データのビットとしている。

【0017】すなわち、例えば、1つのメモリセル11でビット線コンタクト15がドレイン13とビット線14とで接続されているトランジスタ12の数が2つの場合には、そのメモリセル11のデータを例えば“0”とし、1つの場合にはデータを“1”とする。もっとも、逆に、前者を“1”とし、後者を“0”としてもよい。

【0018】ソース線16は、いくつかのメモリセル11で構成されるブロックで共通になっている。メモリセル11は、ワード線17を共通のゲート電極とした2個のフローティングゲート型トランジスタ12のゲートと共通になっている。

【0019】このような構成により、各メモリセル11において、ビット線コンタクト15の有無によるフローティングゲート型トランジスタ12の並列接続数が1個であるか2個であるかをもって、マスクROMのようにあらかじめプログラムしている。

【0020】以下、不揮発性メモリアレイ10を通常の不揮発性メモリアレイに使う方法(通常読み出しモードと呼ぶ)および各セルのビット線コンタクト15の数を読み出す方法(背景読み出しモードと呼ぶ)について図3を用いて説明する。

【0021】図3は各プログラム状態におけるメモリセルアレイの読み出し電流分布を示す。読み出し電流分布の中心値が低電流側の場合、閾値 V_{th} が高い側にあることに相当している。

【0022】通常読み出しモードにおける読み出し動作においては、論理値の判定レベルであるセンスアンプ判定レベルを通常読み出しモード判定レベル L_{v1} として読み出す。通常読み出しモード判定レベル L_{v1} 以上の読み出し電流は“1”と論理判定され、通常読み出しモード判定レベル L_{v1} 未満の読み出し電流は“0”と論理判定される。

【0023】通常読み出しモードにおいては、書き込み動作(閾値 V_{th} が高い側に制御)および消去動作(閾値 V_{th} が低い側に制御)について、図3に示すように、ビット線コンタクトの数が1個のメモリセルの場合は、読み出し電流分布A'の状態を書き込み動作に対応させ、読み出し電流分布Bの状態を消去動作に対応させている。

【0024】また、ビット線コンタクトの数が2個のメモリセルの場合は、読み出し電流分布Aの状態を書き込み動作に対応させ、読み出し電流分布Cの状態を消去動作に対応させている。

【0025】通常読み出しモードにおいては、センスアンプ判定レベルとして通常読み出しモード判定レベルLv1を設定することにより、メモリセル内のフローティングゲート型トランジスタの個数が1つであるか2つであるか否かに関わらず、データを読み出すことができる。このようにメモリセル内の実効性のあるフローティングゲート型トランジスタの個数が異なっても、通常のフラッシュメモリとして書き込み、消去、読み出しを実現することができる。

【0026】次に、固定データとしてのローダプログラムを読み出す背景読み出しモードでは、フローティングゲート型トランジスタの個数を検出してデータを判断する。このモードでは、読み出す前にフローティングゲート型トランジスタの電子の注入量が同じになるように消去し、フローティングゲート型トランジスタの閾値を全て低閾値状態にする(背景読み出し前消去)。背景読み出しモードにおいては、ビット線コンタクトの数が1個のメモリセルの状態が読み出し電流分布Bに対応し、ビット線コンタクトが2個のメモリセルの状態が読み出し電流分布Cに対応している。そして、センスアンプ判定レベルを背景読み出しモードレベルLv2とすることにより、ローダプログラムのデータの読み出しを行う。

【0027】ビット線コンタクト数が1のメモリセルとビット線コンタクト数が2のメモリセルのそれぞれについて個別に説明すると、次のようになる。

【0028】ビット線コンタクト数が1のメモリセルにおいては、その通常読み出しモードでの読み出し動作において、通常読み出しモード判定レベルLv1未満のときは“0”と論理判定され、通常読み出しモード判定レベルLv1以上のときは“1”と論理判定される。また、その通常読み出しモードでの書き込み・消去動作において、読み出し電流分布がA'のときは書き込み動作を行い、読み出し電流分布がBのときは消去動作を行う。そして、ビット線コンタクト数が1のメモリセルでは、その背景読み出しモードの読み出し動作において、その読み出し電流分布がBであることから、ビット線コンタクト数が1であるとのデータを読み出す。

【0029】一方、ビット線コンタクト数2のメモリセルにおいては、その通常読み出しモードでの読み出し動作において、ビット線コンタクト数が1の場合と同様に、通常読み出しモード判定レベルLv1未満のときは“0”と論理判定され、通常読み出しモード判定レベルLv1以上のときは“1”と論理判定される。また、その通常読み出しモードでの書き込み・消去動作において、読み出し電流分布がAのときは書き込み動作を行い、読み出し電流分布がCのときは消去動作を行う。そして、ビット線コンタクト数が1のメモリセルでは、その背景読み出しモードの読み出し動作において、その読み出し電流分布がCであることから、ビット線コンタクト数が2であるとのデータを読み出す。

【0030】上述した構成により同一のメモリセルに固定データと、自由にプログラムできるデータとを重畳させて持たせることができる。

【0031】(実施の形態2)次に、本発明の実施の形態2における不揮発性メモリアレイを搭載したマイクロコンピュータ、およびそのマイクロコンピュータのプログラム書き換え方法について、図4、図5、図6を用いて説明する。

【0032】図4は不揮発性メモリアレイを搭載したマイクロコンピュータの概略の構成を示すブロック図である。図4において、符号の20はマイクロコンピュータ、21は中央演算処理装置であるCPU、22はワーキングメモリとしてのRAM、23はプログラムメモリとしての不揮発性メモリアレイ(フラッシュメモリ)、24は外部入力端子に対するインターフェイスである。フラッシュメモリ23として、上述の実施の形態1で説明した不揮発性メモリアレイのものを用いている。

【0033】図5は上述の不揮発性メモリアレイを搭載したマイクロコンピュータのプログラム書き換え方法のフローチャートを示す図である。以下、図5のフローチャートの各ステップについて図4のマイクロコンピュータのブロック図、図6のメモリアレイ状態図を交えて説明する。

【0034】(初期化ステップS1)書き換えの初期化ステップとして、まずあらかじめフラッシュメモリ(不揮発性メモリアレイ)23のメモリ領域に固定データとして格納されているローダプログラムを読み出すために、メモリアレイの背景読み出し前消去を全範囲に対して行う。図4において、消去は、ライターからの信号Saにより、インターフェイス24を通して、メモリアレイ23におけるデータを消去する。このときには、全てのメモリアレイを同じ条件(パルス幅、パルス回数、電圧条件等)で消去する。この初期化ステップにおいては、不揮発性メモリアレイ23の全メモリアレイを低閾値電圧側に制御することによって、背景読み出し前消去を行う。

【0035】上記ステップS1におけるメモリアレイ23の状態を図6に示すと、初めにメモリアレイは書き換え前のユーザプログラムが書き込まれた状態(a)にある。次に、図の(b)、(c)のように背景読み出し前消去により、あらかじめ背景にローダプログラムが格納された領域を消去することにより、ローダプログラム25が浮き出てくるような形にする。

【0036】なお、消去範囲をローダプログラム25が格納されている領域に対してのみ選択的に限

定することにより、アレイ全体の消去を行う場合に比べて消去時間の短縮および消費電力の低減を図ることができる。

【0037】(読み出しステップS2) 図5のように、前記初期化ステップS1を行った後に、メモリセルの背景読み出しモードにより、あらかじめ格納しておいたローダプログラム25を読み出す。

(転送ステップS3) 前記の読み出したローダプログラム25をマイクロコンピュータ20内のRAM22に転送する。すなわち、プログラム書き換えのためのワーキングメモリにローダプログラム25を格納する。

【0038】(プログラムステップS4) 前記読み出しステップS2を行った後に不揮発性メモリ領域のデータを書き換える際には、ライターからインターフェイス24を通してデータを入力し、その入力されたデータを、前述の転送によってRAM22に格納されたローダプログラム25を実行することにより書き換える。この際、図6の(d)、(e)のように背景にローダプログラム25が格納された領域にも、そのローダプログラムを格納したまま、通常のフラッシュメモリ23のメモリ領域としてデータを書き込むことができる。このようにして、新規ユーザプログラムの書き換えが全て完了した後、終了となる。

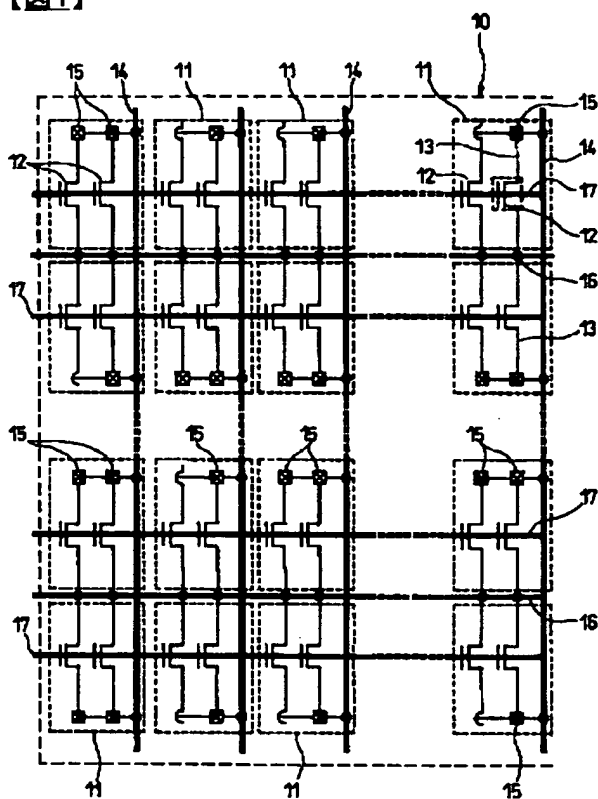
【0039】前述のとおり、従来にあっては、不揮発性メモリ領域にローダプログラムの格納領域を確保しなければならず、そのために、自由にプログラムを搭載することのできるファームウェア領域が狭くなっていた。これに対して、本実施の形態によれば、以上のような書き換え方式により、マイコンに内蔵されたフラッシュメモリ23のオンボード書き換え方式を実現するに際して、本発明による不揮発性メモリアレイをマイコンに搭載することで、ファームウェア領域を広くすることができる。そして、それだけにとどまらず、ローダ領域とファームウェア領域とを全く区別する必要がなくなり、内蔵メモリアレイを有効に活用することができる。

【0040】

【発明の効果】メモリセル内のフローティングゲート型トランジスタの並列接続数をあらかじめ決定した構成を取ることにより、不揮発性メモリアレイにローダプログラム等の固定データを格納するとともに、同領域を通常のメモリ領域として用いることができる。これにより、不揮発性メモリ領域の一部をローダプログラムの専用領域として利用していた従来技術に比べ、メモリアレイの全空間ないし所望の空間をファームウェア領域として最大限に活用することができる。

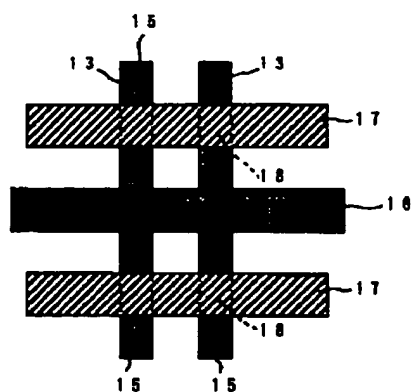
図面

【図1】

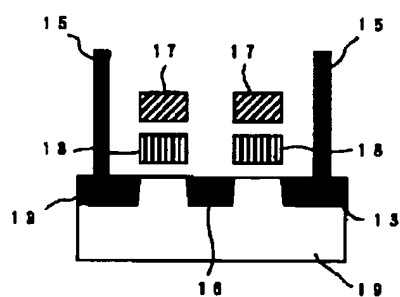


【図2】

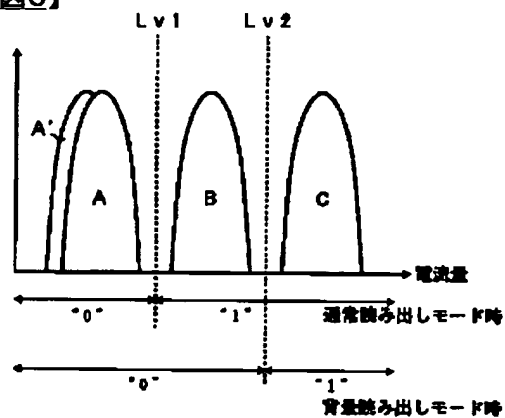
(a)



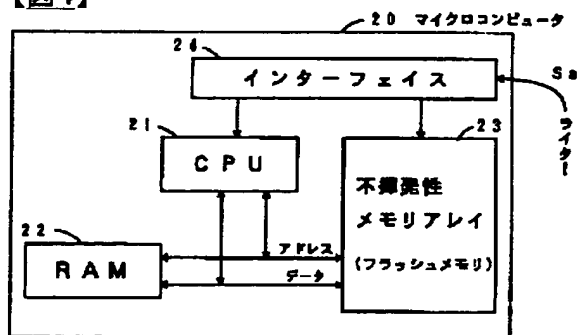
(b)



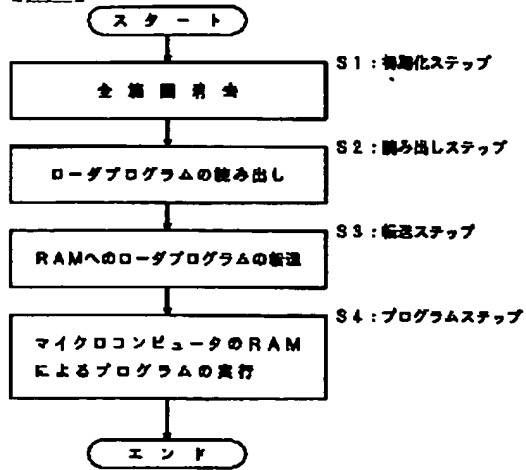
【図3】



【図4】



【図5】



【図6】

